

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-268899

(P2001-268899A)

(43) 公開日 平成13年9月28日 (2001.9.28)

(51) Int.Cl.⁷

H 0 2 M 3/155

識別記号

F I

H 0 2 M 3/155

テーマコード(参考)

H 5 H 7 3 0

審査請求 未請求 請求項の数28 O L (全 19 頁)

(21) 出願番号 特願2000-76994(P2000-76994)

(22) 出願日 平成12年3月17日 (2000.3.17)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 松田 浩一

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100070150

弁理士 伊東 忠彦

最終頁に続く

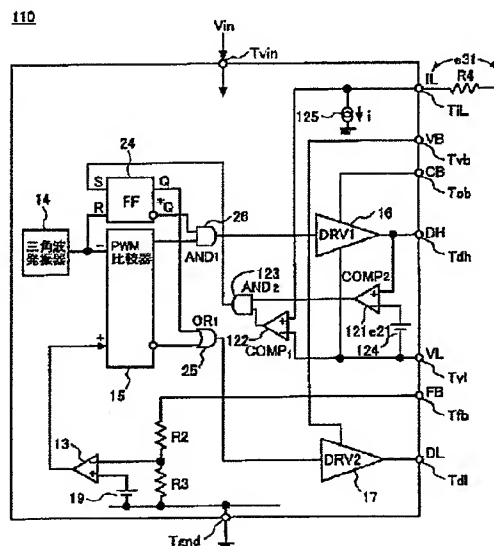
(54) 【発明の名称】 電源制御装置、電源回路及び電源制御方法並びに電子機器

(57) 【要約】

【課題】 電源と負荷との間に配置されたトランジスタにより負荷に供給する電流を制御する電源制御装置、電源回路及び電源制御方法並びに電子機器に関し、安価で、省スペース化が可能であり、さらに、電力損失を低減できる電源制御装置、電源回路及び電源制御方法並びに電子機器を提供することを目的とする。

【解決手段】 本発明は、スイッチング素子がオン状態であることを検出し、スイッチング素子がオン状態であることが検出されたときに、スイッチング素子に流れる電流に応じてスイッチング素子に発生する電圧を検出し、スイッチング素子に発生する検出電圧に応じてスイッチング素子を制御して、出力電圧を制御する。

本発明の一実施例の電源制御ICのブロック構成図



【特許請求の範囲】

【請求項 1】 スイッチング素子が接続され、該スイッチング素子に制御信号を供給して該スイッチング素子を制御することにより電源を制御する電源制御装置において、

前記スイッチング素子がオン状態であることを検出するオン状態検出手段と、

前記スイッチング素子がオン状態であることが検出されたときに、前記スイッチング素子に発生する電圧を検出する電圧検出手段とを有することを特徴とする電源制御装置。

【請求項 2】 前記オン状態検出手段は、前記制御信号に応じて前記スイッチング素子がオン状態か否かを検出することを特徴とする請求項 1 記載の電源制御装置。

【請求項 3】 前記オン状態検出手段は、前記スイッチング素子のゲートソース間電圧と所定電圧との大小を比較する比較手段を有することを特徴とする請求項 1 又は 2 記載の電源制御装置。

【請求項 4】 前記オン状態検出手段は、前記所定の電圧を外部からの電圧に基づいて設定可能としたことを特徴とする請求項 3 記載の電源制御装置。

【請求項 5】 前記オン状態検出手段は、出力電圧と所定の電圧との電位差を検出する誤差検出手段と前記誤差検出手段で検出された前記電位差と所定の電圧との大小を比較する比較手段とを有することを特徴とする請求項 1 又は 2 記載の電源制御装置。

【請求項 6】 前記オン状態検出手段は、前記所定の電圧を外部からの電圧に基づいて設定可能としたことを特徴とする請求項 5 記載の電源制御装置。

【請求項 7】 前記検出手段は、前記スイッチング素子のソースドレイン間電圧を所定の電圧の大小を比較する比較手段を有することを特徴とする請求項 1 乃至 3 のいずれか一項記載の電源制御装置。

【請求項 8】 出力電圧を制御するスイッチング素子と、該出力電圧に応じて前記スイッチング素子を制御する電源制御手段とを有する電源装置において、前記スイッチング素子がオン状態であることを検出するオン状態検出手段と、前記スイッチング素子がオン状態であることが検出されたときに、前記スイッチング素子に発生する電圧を検出する電圧検出手段とを有することを特徴とする電源装置。

【請求項 9】 前記オン状態検出手段は、前記制御信号に応じて前記スイッチング素子がオン状態か否かを検出することを特徴とする請求項 8 記載の電源装置。

【請求項 10】 前記オン状態検出手段は、前記スイッチング素子のゲートソース間電圧と所定電圧との大小を比較する比較手段を有することを特徴とする請求項 8 又は 9 記載の電源装置。

【請求項 11】 前記オン状態検出手段は、前記所定の

電圧を外部からの電圧に基づいて設定可能としたことを特徴とする請求項 10 記載の電源装置。

【請求項 12】 前記オン状態検出手段は、出力電圧と所定の電圧との電位差を検出する誤差検出手段と前記誤差検出手段で検出された前記電位差と所定の電圧との大小を比較する比較手段とを有することを特徴とする請求項 8 又は 9 記載の電源装置。

【請求項 13】 前記オン状態検出手段は、前記所定の電圧を外部からの電圧に基づいて設定可能としたことを特徴とする請求項 12 記載の電源装置。

【請求項 14】 前記検出手段は、前記スイッチング素子のソースドレイン間電圧を所定の電圧の大小を比較する比較手段を有することを特徴とする請求項 8 乃至 13 のいずれか一項記載の電源装置。

【請求項 15】 スイッチング素子を制御して、出力電圧を制御する電源制御方法において、前記スイッチング素子がオン状態であることを検出し、前記スイッチング素子がオン状態であることが検出されたときに、前記スイッチング素子に発生する電圧を検出し、

前記スイッチング素子に発生する検出電圧に応じて前記出力電圧を制御することを特徴とする電源制御方法。

【請求項 16】 前記スイッチング素子を制御する制御信号に応じて前記スイッチング素子がオン状態か否かを検出することを特徴とする請求項 15 記載の電源制御方法。

【請求項 17】 前記スイッチング素子のゲートソース間電圧と所定電圧との大小に応じて前記スイッチング素子のオン状態を検出することを特徴とする請求項 15 又は 16 記載の電源制御方法。

【請求項 18】 前記所定の電圧を外部からの電圧に基づいて設定可能としたことを特徴とする請求項 17 記載の電源制御方法。

【請求項 19】 前記出力電圧と所定の電圧との電位差を検出し、前記電位差と所定の電圧との大小に応じて前記スイッチング素子のオン状態を検出することを特徴とする請求項 15 又は 16 記載の電源制御方法。

【請求項 20】 前記所定の電圧を外部からの電圧に基づいて設定可能としたことを特徴とする請求項 19 記載の電源制御方法。

【請求項 21】 前記スイッチング素子のソースドレイン間電圧を所定の電圧の大小に応じて前記スイッチング素子を制御することを特徴とする請求項 15 乃至 20 のいずれか一項記載の電源制御方法。

【請求項 22】 入力電圧をスイッチング素子により所定の駆動電圧に変換して、内部装置に供給する電源制御手段を備える電子機器において、前記電源制御手段は、前記スイッチング素子がオン状態であることを検出し、

前記スイッチング素子がオン状態であることが検出されたときに、前記スイッチング素子に発生する電圧を検出し、

前記スイッチング素子に発生する検出電圧に応じて前記駆動電圧を制御することを特徴とする電子機器。

【請求項23】 前記電源制御手段は、前記スイッチング素子を制御する制御信号に応じて前記スイッチング素子がオン状態か否かを検出することを特徴とする請求項22記載の電子機器。

【請求項24】 前記電源制御手段は、前記スイッチング素子のゲートソース間電圧と所定電圧との大小に応じて前記スイッチング素子のオン状態を検出することを特徴とする請求項22又は23記載の電子機器。

【請求項25】 前記電源制御手段は、前記所定の電圧を外部からの電圧に基づいて設定可能としたことを特徴とする請求項24記載の電子機器。

【請求項26】 前記電源制御手段は、前記出力電圧と所定の電圧との電位差を検出し、前記電位差と所定の電圧との大小に応じて前記スイッチング素子のオン状態を検出することを特徴とする請求項22又は23記載の電子機器。

【請求項27】 前記電源制御手段は、前記所定の電圧を外部からの電圧に基づいて設定可能としたことを特徴とする請求項26記載の電子機器。

【請求項28】 前記電源制御手段は、前記スイッチング素子のソースドレイン間電圧を所定の電圧の大小に応じて前記スイッチング素子を制御することを特徴とする請求項22乃至27のいずれか一項記載の電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電源制御装置、電源回路及び電源制御方法並びに電子機器に係り、特に、電源と負荷との間に配置されたトランジスタにより負荷に供給する電流を制御する電源制御装置、電源回路及び電源制御方法並びに電子機器に関する。

【0002】近年、携帯型の電子機器が普及している。携帯型の電子機器は、電池を電源として動作する。このため、電池での装置稼働時間が重要な要素である。

【0003】また、このような電子機器は、内部回路を電池の電圧で駆動するわけではない。よって、電池の電圧を内部回路に対応した電圧に変換する電源回路が内蔵されている。

【0004】電圧を装置の稼働時間を延ばすために機器自身の消費電力を減らすことは勿論のこと、電源回路の効率が重要な要素である。電源回路の効率はそのまま電池の電力を浪費することになるからである。

【0005】電源回路の効率を向上させる手段としては同期整流方式の直流(DC)→直流(DC)コンバータが主流であり、従来型のDC-DCコンバータに比して約10%程度の変換効率の向上が見込める。

【0006】一方、電子機器に内蔵されるCPUの処理速度は年々向上しそれに伴って消費電力の増大も激しい。装置の消費電力の増大を極力抑えるために使用する電圧も年々低下し、DC-DCコンバータの出力は、低電圧、大電流化している。

【0007】DC-DCコンバータの出力の大電流化にともない、負荷短絡や過負荷時のDC-DCコンバータの保護は重要な過大である。DC-DCコンバータの負荷短絡や過負荷に対する保護方式としては、DC-DCコンバータの出力電流を監視して出力電流の最大値を制限する定電流制御方式や過電流を検出したらDC-DCコンバータを緊急停止させる過電流保護回路方式がある。

【0008】ところで、DC-DCコンバータの保護を目的として出力電流を監視するには、DC-DCコンバータの出力回路に電流センス抵抗を設け、電流センス抵抗を流れる電流により発生する電圧を監視するのが最も簡単な方法として用いられている。

【0009】携帯型電子機器においては、内蔵された装置の電源として電池が用いられる。一般的に電池の電圧は放電が進むに従って低下していくため、電子機器内部で使用する電圧を一定に保つためにDC-DCコンバータにより電池出力の定電圧化を計っている。

【0010】このとき、例えば、ノートパソコンには、半導体デバイス、記憶装置、表示装置まで様々な装置が搭載される。これらの装置は、それぞれが異なった電圧で動作している。例えば、HDD、CD-ROM、DVD等の装置は5.0Vで動作し、メモリや周辺制御回路用の半導体デバイスは3.3Vで動作する。更にCPUでは0.9V～2.0Vと言う様に色々な電圧で動作する。

【0011】一方、電力の供給源はACアダプタ等の外部電源又は、内蔵の電池から供給される。このうち、電池は放電に従って電圧が低下するので定電圧を維持する為様々な異なる要求電圧に対応するために、装置内部で使用する各種電圧はDC-DCコンバータによって作成される。

【0012】DC-DCコンバータとしては、多くの場合その効率の良さからスイッチングレギュレータ方式が用いられている。

【0013】スイッチングレギュレータ方式では、電源と負荷との間にトランジスタを設け、このトランジスタをスイッチング制御することにより出力電圧を制御する方法が取られている。このとき、負荷への電流を検出するために、トランジスタと負荷との間に電流センス抵抗が直列に接続されている。この電流センス抵抗には、負荷に供給される電流が流れる。このため、電流センス抵抗には、負荷に供給される電流に応じた電圧が発生する。よって、電流センス抵抗に印加される電圧を検出することにより、負荷に供給される電流を検出し、過電流

保護などの制御を行なっている。

【0014】

【従来の技術】図1に電子機器の電源系のブロック構成図を示す。

【0015】ノートパソコンなどの携帯型の電子機器1では、小型軽量化のため外部でACアダプタ2により商用交流電源3を直流電源に変換し、駆動電源として用いるのが一般的である。電子機器1には、ACアダプタ2からの直流電源を内部装置4-1~4-nに供給するために、電池ユニット5、充電器6、ダイオードD11、D12、DC-DCコンバータ7-1~7-3が設けられている。

【0016】電池ユニット5は、携帯時に駆動電源として用いられる。充電器6は、ACアダプタ2から外部電源により電池ユニット5を充電する。

【0017】ダイオードD11は、電池ユニット5からACアダプタ2側に電力が供給されるのを防止する。ダイオードD2は、ノートパソコンにACアダプタ等の外部電源が接続されているときに、ACアダプタ2からの電圧が電池ユニット5に直接印加されるのを防止する。

【0018】DC-DCコンバータ7-1は、ACアダプタ2又は電池ユニット5からの直流電圧を内部装置4-1の要求する直流電圧に変換して供給する。DC-DCコンバータ7-2は、ACアダプタ2又は電池ユニット5からの直流電圧を内部装置4-2の要求する直流電圧に変換して供給する。DC-DCコンバータ7-3は、ACアダプタ2又は電池ユニット5からの直流電圧を内部装置4-3の要求する直流電圧に変換して供給する。

【0019】図2は従来のDC-DCコンバータの一例のブロック構成図を示す。

【0020】DC-DCコンバータ7-1~7-3は、それぞれ、電源制御IC10、メインスイッチング用トランジスタTr1、同期整流用トランジスタTr2、ダイオードD1、D2、チョークコイルL1、平滑用コンデンサC1、逆流防止用コンデンサC2、電流センス抵抗R1から構成される。

【0021】入力端子Tinには、入力電圧Vinが供給される。入力端子Tinは、電源制御IC10の電源端子Tvin及びメインスイッチング用トランジスタTr1のドレインに接続される。

【0022】メインスイッチング用トランジスタTr1は、nチャネルMOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) から構成される。メインスイッチング用トランジスタTr1は、ドレインが入力端子Tinに接続され、ソースがチョークコイルL1及び電流センス抵抗R1を介して出力端子Toutに接続され、ゲートが電源制御IC10の端子Tdhに接続される。メインスイッチング用トランジスタTr1は、電

源制御IC10の端子Tdhからのパルスに応じてスイッチングされる。

【0023】メインスイッチング用トランジスタTr1の出力電流は、チョークコイルL1に供給される。チョークコイルL1は、同期整流用トランジスタTr2、ダイオードD2とともに、整流回路を構成しており、メインスイッチング用トランジスタTr1からのパルス状の出力電流を整流する。

【0024】ダイオードD2は、アノードが接地され、カソードがチョークコイルL1に接続される。ダイオードD2は、フライホイールダイオードであり、メインスイッチング用トランジスタTr1がオフのときに、順方向電流をチョークコイルL1に供給し、メインスイッチング用トランジスタTr1がオフのときには、逆方向電圧が印加され、オフする。

【0025】同期整流用トランジスタTr2は、nチャネルMOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) から構成される。同期整流用トランジスタTr2は、ドレインがメインスイッチング用トランジスタTr1のソースに接続され、ソースが接地され、ゲートが電源制御IC10の端子dlに接続される。同期整流用トランジスタTr2は、電源制御IC10によりメインスイッチング用トランジスタTr1がオンときにオフし、メインスイッチング用トランジスタTr1がオフのときにオンするように制御される。同期整流用トランジスタTr2は、ダイオードD2に順方向電流が流れるときに、オンして、ダイオードD2の順方向電圧による電圧降下を低減させる。

【0026】チョークコイルL1、ダイオードD2、同期整流用トランジスタTr2により整流された電流は、電流センス抵抗R1を介して出力端子Toutに供給される。なお、チョークコイルL1と電流センス抵抗R1との接続点は、電源制御IC10の端子Tcsに接続される。

【0027】出力端子Toutは、電源制御IC10の端子Tfbに接続されるとともに、コンデンサC1を介して接地に接続される。平滑用コンデンサC1は、チョークコイルL1から電流センス抵抗R1を介して供給された電流を平滑化する。

【0028】また、電源制御IC10の端子Tvbには、駆動電源端子Tvgが接続される。駆動電源端子Tvgには、ゲート駆動電圧VGが印加される。電源制御IC10の端子Tcbは、逆流防止用ダイオードD2とコンデンサC2との接続点に接続される。逆流防止用ダイオードD2は、アノードが駆動電源端子Tvgに接続され、カソードがコンデンサC2に接続される。逆流防止用ダイオードD2は、コンデンサC2により端子Tbcが昇圧されたときに、端子Tvg側への電流の逆流を防止する。コンデンサC2は、一端がダイオードD2のカソードと端子

Tbcとの接続点に接続され、他端がメインスイッチング用トランジスタTr1のソース、トランジスタTr2のドレイン、ダイオードD1のカソード、チョークコイルL1の一端との接続点に接続される。

【0029】次に、電源制御IC10について説明する。

【0030】図3に従来のDC-DCコンバータの一例の電源制御ICのブロック構成図を示す。

【0031】電流制御IC2は、差動アンプ11、エラーアンプ12、13、三角波発振器14、PWM(Pulse Width Modulation)比較器15、ドライブアンプ16、17、基準電圧源18、19、抵抗R2、R3から構成される。

【0032】差動アンプ11は、非反転入力端子が端子Tcsに接続され、反転入力端子が端子Tfbに接続され、端子Tcsと端子Tfbとの電位差に応じた差動信号を出力する。端子Tcs及び端子Tfbは、電源制御IC10の外部で、電流センス抵抗R1の両端に接続されている。このため、差動アンプ11の差動信号は、電流センス抵抗R1に流れる電流に応じた信号となる。

【0033】差動アンプ11の出力差動信号は、エラーアンプ12の反転入力端子に供給される。エラーアンプ12の非反転入力端子には、基準電圧源18から基準電圧 e_2 が印加される。エラーアンプ12は、差動アンプ11の出力差動信号と基準電圧 e_2 との差に応じた信号を出力する。エラーアンプ12の出力は、基準電圧 e_2 から差動アンプ11からの出力差動信号レベルを減算した値が出力される。すなわち、エラーアンプ12の出力は、電流センス抵抗R1に流れる電流が大きいときに小さくなり、小さいときに大きくなる。なお、エラーアンプ12の出力信号は、PWM比較器15の非反転入力端子に供給される。

【0034】エラーアンプ13は、反転入力端子に抵抗R1、R2の分圧電圧が供給され、反転入力端子に基準電圧源19から基準電圧 e_1 が供給される。抵抗R2、R3は、端子Tfbと端子Tgndとの間に直列に接続され、端子Tfbに印加される電圧を分圧する。端子Tfbは、電源制御IC10の外部で、出力端子Toutに接続されている。よって、抵抗R2、R3は、出力電圧Voutを分圧し、エラーアンプ13に供給する。

【0035】エラーアンプ13は、基準電圧源19からの基準電圧 e_1 から抵抗R2と抵抗R3とで分圧された分圧電圧を減算した値を出力する。エラーアンプ13の出力は、出力端子Toutからの出力電圧Voutが小さいときに大きくなり、大きいときに小さくなる。エラーアンプ13の出力は、PWM比較器15の非反転入力端子に供給される。

【0036】PWM比較器15の反転入力端子には、三角波発振器14から三角波信号が供給される。PWM比較器15は、エラーアンプ12、13からの信号と三角

波信号とを比較し、その大小に応じたパルスを出力する。PWM比較器15は、エラーアンプ12、13の出力のうち小さい方の出力と三角波発振器2の出力三角波とを比較して、エラーアンプ12、13の出力のうち小さい方の出力が三角波より小さくときにハイレベル、大きいときにローレベルとなるパルスを出力する。

【0037】図4に従来の電源制御ICの一例の電圧制御時の動作波形図、図5に従来の電源制御ICの一例の電流制御時の動作波形図を示す。図4、図5において(A)はエラーアンプ12、13、及び三角波発振器14の出力波形、(B)はPWM比較器15の出力波形を示す。

【0038】出力電流Ioutが比較的小さく、出力電圧Voutが大きいときには、図4(A)に示すようにエラーアンプ13の出力と三角波とが比較される。PWM比較器15の出力パルスは、図4(B)に示すようにエラーアンプ13の出力に応じてハイレベルとローレベルとのデューティ比が変化する。PWM比較器15の出力パルスのハイレベルとローレベルとのデューティ比は、出力電圧Voutが大きくなると、ハイレベルのパルス幅が小さくなり、ローレベルのパルス幅が大きくなり、出力電圧Voutが小さくなると、ハイレベルのパルス幅が大きくなり、ローレベルのパルス幅が小さくなる。

【0039】出力電圧Voutが比較的小さく、出力電流Ioutが大きいときには、図5(A)に示すようにエラーアンプ12の出力と三角波とが比較される。PWM比較器15の出力パルスは、図5(B)に示すようにエラーアンプ12の出力に応じてハイレベルとローレベルとのデューティ比が変化する。PWM比較器15の出力パルスのハイレベルとローレベルとのデューティ比は、出力電流Ioutが大きくなると、ハイレベルのパルス幅が小さくなり、ローレベルのパルス幅が大きくなり、出力電流Ioutが小さくなると、ハイレベルのパルス幅が大きくなり、ローレベルのパルス幅が小さくなる。

【0040】PWM比較器15は、出力パルスをドライブアンプ16に供給する。ドライブアンプ16は、端子Tcb及び端子Tvlに接続されており、端子Tcbと端子Tvlとの電位差に応じて駆動され、出力パルスからメインスイッチング用トランジスタTr1を駆動するための駆動信号を生成する。ドライブアンプ16の出力は、端子Tdhから出力される。電源制御IC10の端子Tdhは、メインスイッチング用トランジスタTr1のゲートに接続される。メインスイッチング用トランジスタTr1のゲートには、端子Tdhから出力パルスに応じたパルスが供給される。

【0041】メインスイッチング用トランジスタTr1は、端子Tdhからのパルスがハイレベルのときにオンし、ローレベルのときにオフする。

【0042】PWM比較器15は、出力パルスの他に出力パルスを反転した反転出力パルスを出力する。反転出

カパルスは、ドライブアンプ 17 に供給される。ドライブアンプ 17 は、端子 Tvb に接続されており、端子 Tvb に供給される駆動電圧 VG により駆動され、反転出力パルスから同期整流用トランジスタ Tr2 を駆動するための駆動信号を生成する。ドライブアンプ 17 の出力は、電源制御 IC10 の端子 Tdl から出力される。電源制御 IC10 の端子 Tdl は、同期整流用トランジスタ Tr2 のゲートに接続される。同期整流用トランジスタ Tr2 のゲートには、端子 Tdl から反転出力パルスに応じたパルスが供給される。同期整流用トランジスタ Tr2 は、端子 Tdl からのパルスがハイレベルのときにオンし、ローレベルのときにオフする。

【0043】このとき、同期整流用トランジスタ Tr2 のゲートに供給されるパルスは、メインスイッチング用トランジスタ Tr1 のゲートに供給されるパルスと、同期整流用トランジスタ Tr2 のゲートに供給されるパルスを反転したものとなるので、メインスイッチング用トランジスタ Tr1 がオンの時には同期整流用トランジスタ Tr2 はオフし、メインスイッチング用トランジスタ Tr1 がオフの時には同期整流用トランジスタ Tr2 はオンする。

【0044】なお、上記の電源回路では、出力電圧 Vout は、メインスイッチング用トランジスタ Tr1 のオン期間を Ton、オフ期間を Toff、 $(Ton + Toff) = T0$ とすると、
$$Vout = \{Ton / (Ton + Toff)\} \times Vin = (Ton / T0) \times Vin$$
で表される。

【0045】また、平均入力電流 Iin は、出力電流を Iout とすると、
$$Iin = (Ton / T0) \times Iout$$
で表される。

【0046】上記の式(1)、式(2)により電源制御 IC10 によりスイッチング用トランジスタ Tr1 のオンとオフのデューティ比を制御することにより、出力電圧 Vout、出力電流 Iout を一定に制御できる。

【0047】上記構成の電源制御 IC10 は、出力電圧 Vout と出力電流 Iout とを測定して、いずれか大きい方の測定結果により、メインスイッチング用トランジスタ Tr1 及び同期整流用トランジスタ Tr2 を制御したが、通常は出力電圧 Vout により制御しておき、過電流状態になったときに電流制御を行なう電源制御 IC が提案されている。

【0048】図 6 に従来の電源制御 IC の他の一例のブロック構成図を示す。同図中、図 3 と同一構成部分には同一符号を付し、その説明は省略する。

【0049】電源制御 IC101 は、差動アンプ 11、誤差アンプ 12、基準電源 18 に代えて比較器 22、基準電源 23、フリップフロップ 24、OR ゲート 25、AND ゲート 26 を設けた構成とされている。

【0050】比較器 22 は、非反転入力端子が端子 Tcs に接続され、反転端子が基準電源 23 を介して端子 Tfb に接続されている。基準電源 23 は、基準電圧 e11 を発生する。比較器 22 は、電流センス抵抗 R1 の両端の電圧が基準電圧 e11 より大きいときにハイレベルとなり、小さいときにローレベルとなる信号を出力する。フリップフロップ 24 は、RS フリップフロップを構成しており、セット端子 S には比較器 22 の出力が供給され、リセット端子 R には三角波発振器 14 の出力三角波が供給される。

【0051】フリップフロップ 24 は、比較器 22 の出力がハイレベルとなるとセットされ、三角波発振器 14 からの三角波が所定のレベルに達するとリセットされる。フリップフロップ 24 は、一旦セットされるとリセットされるまでハイレベルを出力する。フリップフロップ 24 は、非反転出力 Q 及び反転出力 \bar{Q} を出力する。非反転出力 Q は OR ゲート 25 に供給され、反転出力 \bar{Q} は AND ゲート 26 に供給される。

【0052】OR ゲート 25 には、フリップフロップ 24 の非反転出力 Q 及び PWM 比較器 15 の反転出力が供給される。OR ゲート 25 は、フリップフロップ 24 の非反転出力 Q と PWM 比較器 15 の反転出力との OR 論理を出力する。OR ゲート 25 の出力論理は、ドライブアンプ 17 に供給される。

【0053】AND ゲート 26 には、フリップフロップ 24 の反転出力 \bar{Q} 及び PWM 比較器 15 の非反転出力が供給される。AND ゲート 26 は、フリップフロップ 24 の反転出力 \bar{Q} と PWM 比較器 15 の非反転出力との AND 論理を出力する。AND ゲート 26 の出力論理は、ドライブアンプ 16 に供給される。

【0054】電流センス抵抗 R1 の両端に発生する電圧が基準電圧 e11 以上になると、フリップフロップ 24 がセットされる。フリップフロップ 24 がセットされると、フリップフロップ 24 の非反転出力はハイレベルになり、反転出力はローレベルになる。

【0055】フリップフロップ 24 の非反転出力がハイレベルになると、OR ゲート 25 の出力は PWM 比較器 15 の反転出力によらずにハイレベルとなる。このため、端子 Tdl の出力は、ハイレベルを維持する。端子 Tdl の出力がハイレベルになると、同期整流用トランジスタ Tr2 はオン状態に維持される。

【0056】また、フリップフロップ 24 の反転出力がローレベルになることにより、AND ゲート 26 の出力は PWM 比較器 15 の非反転出力によらずにローレベルになる。このため、端子 Tdh の出力は、ローレベルを維持する。端子 Tdh の出力がローレベルに維持されると、メインスイッチング用トランジスタ Tr1 はオフ状態に維持される。以上により、出力電流 Iout が制限され、過電流保護が行なわれる。

【0057】フリップフロップ 24 は、三角波発振器 1

4の出力が所定のレベルになると、リセットされる。リセット時に過電流状態が解消されていれば、フリップフロップ24は、リセット状態に維持され、通常の電圧制御が行なわれる。また、リセット時に過電流状態が解消されていなければ、フリップフロップ24は再びセットされ、メインスイッチング用トランジスタTr1のオフ状態が維持され、過電流保護が継続される。

【0058】なお、上記の構成では過電流時にメインスイッチング用トランジスタTr1をオフし、過電流が解除されると電圧制御が行なわれるように構成されているが、過電流時にメインスイッチング用トランジスタTr1をオフさせた後は過電流が解除されても電源が再投入されるまでメインスイッチング用トランジスタTr1をオフさせたままの状態に維持するようにしてもよい。

【0059】図7に従来の電源制御ICの他の一例の構成図を示す。同図中、図6と同一構成部分には同一符号を付し、その説明は省略する。

【0060】電源制御IC31は、三角波発振器14の三角波でフリップフロップ24をリセットしないようにしている。

【0061】

【発明が解決しようとする課題】しかしながら、従来においては、電流センス抵抗は、メインスイッチングトランジスタと負荷との間に直列に接続されていたため、電流センス抵抗により電力損失が発生していた。電流センス抵抗による電力損失は、出力電流の大電流化にともない増大する。

【0062】また、電流センス抵抗による電力損失を小さくするためには、電流センス抵抗を小さくすればよい。しかし、電流センス抵抗を小さい抵抗値の抵抗にしたとしても電流センス抵抗による電力損失を完全になくすることはできない。また、抵抗値の小さい抵抗は、高価である。さらに、電流センス抵抗は、通常ディスクリート部品によって構成されるため、その物理的にスペースをとるなどの問題点があった。

【0063】本発明は上記の点に鑑みてなされたもので、安価で、省スペース化が可能であり、さらに、電力損失を低減できる電源制御装置、電源回路及び電源制御方法並びに電子機器を提供することを目的とする。

【0064】

【課題を解決するための手段】本発明は、スイッチング素子がオン状態であることを検出し、スイッチング素子がオン状態であることが検出されたときに、スイッチング素子に流れる電流に応じてスイッチング素子に発生する電圧を検出し、スイッチング素子に発生する検出電圧に応じてスイッチング素子を制御して、出力電圧を制御する。

【0065】このとき例えば、スイッチング素子を制御するための制御信号により、スイッチング素子がオン状態であることを検出する。あるいは、スイッチング素子

のゲートソース間電圧と所定電圧との大小に応じてスイッチング素子のオン状態を検出するようにしてもよい。さらに、出力電圧と所定の電圧との電位差を検出し、電位差と所定の電圧との大小に応じてスイッチング素子のオン状態を検出するようにしてもよい。

【0066】本発明によれば、スイッチング素子のオン抵抗を用いて出力電流を検出できるので、電流センス抵抗が不要となり、電流センス抵抗による電力消費をなくすることができるため、省電力化、コスト低下を実現できる。

【0067】また、本発明は、所定の電圧を外部からの電圧に基づいて設定可能とする。

【0068】本発明によれば、外部電圧を可変することによりオン状態を検出するための電圧を適正な値に設定でき、スイッチング素子が確実にオンしたことを検出できる。

【0069】

【発明の実施の形態】図8に本発明の一実施例のDC-DCコンバータのブロック構成図を示す。同図中、図2と同一構成部分には同一符号を付し、その説明は省略する。

【0070】本実施例のDC-DCコンバータ100は、例えば、図1の電子機器1に内蔵されるDC-DCコンバータ7-1～7-3として用いられる。DC-DCコンバータ100は、電流センス抵抗R1をメインスイッチング用トランジスタTr1のオン抵抗で構成する。本実施例のDC-DCコンバータ100は、電流センス抵抗R1を削除し、抵抗R4を設けるとともに、電源制御IC110の構成が図3に示される電源制御IC10とは相違する。

【0071】電源制御IC110は、図6に示す電源制御IC10の端子Tcsに代えて端子Tilが設けられる。抵抗R4は、電源制御IC110の端子Tilと入力端子Tvinとの間に設けられる。

【0072】図9に本発明の一実施例の電源制御ICのブロック構成図を示す。図6と同一構成部分には同一符号を付し、その説明は省略する。

【0073】本実施例の電源制御IC110は、比較器22、基準電源23に代えて比較器121、122、ANDゲート123、基準電源124、定電流源125が設けられる。

【0074】比較器121は、非反転入力端子が端子Tdhに接続され、反転入力端子が基準電源124を介して端子Tvlに供給される。比較器121は、メインスイッチング用トランジスタTr1のゲートドレイン間電圧が基準電源124の基準電圧e2lより大きいとハイレベル、小さいとローレベルとなる信号を出力する。比較器121の比較結果によりメインスイッチング用トランジスタTr1がオン状態か、オフ状態かを判定できる。

【0075】比較器122は、非反転入力端子が端子T

ilに接続され、反転入力端子が端子Tvlに接続される。また、端子Tilと接地との間には定電流源125が接続される。定電流源125は、抵抗R4から電流を引き込み、抵抗R4に基準電圧e31を発生させる。比較器122は、メインスイッチング用トランジスタTr1のソースドレイン間電圧が基準電圧e31以上のときにハイレベルとなり、基準電圧e31以下のときにローレベルとなる信号を出力する。比較器122の比較結果により出力電流を判定できる。

【0076】ANDゲート123には、コンパレータ121の出力及びコンパレータ122の出力が供給される。ANDゲート123は、コンパレータ121の出力とコンパレータ122の出力とのAND論理をとる。

【0077】ANDゲート123の出力は、フリップフロップ24のセット端子に供給される。フリップフロップ24は、コンパレータ121の出力がハイレベル、すなわち、メインスイッチング用トランジスタTr1がオン状態であり、かつ、コンパレータ122の出力がハイレベル、すなわち、メインスイッチング用トランジスタTr1のソースドレインに流れる電流が所定値より大きいときに、セットされる。

【0078】図10に本発明の一実施例の電源制御ICの動作説明図を示す。図10(A)はエラーアンプ13の出力及び三角波発振器14の出力三角波、図10

(B)はメインスイッチング用トランジスタTr1のゲートソース間電圧Vgs、図10(C)はメインスイッチング用トランジスタTr1のソースドレイン間抵抗SDrの状態を示す。

【0079】時刻t1で三角波発振器14の出力三角波がエラーアンプ13の出力より小さくなると、PWM比較器15の出力がハイレベルになる。PWM比較器15がハイレベルになるとドライブアンプ16の出力もハイレベルになる。ドライブアンプ16の出力がハイレベルになる。ドライブアンプ16の出力は、端子Tdhを介してメインスイッチング用トランジスタTr1のゲートに供給される。

【0080】メインスイッチング用トランジスタTr1のゲートがハイレベルになると、メインスイッチング用トランジスタTr1のゲートソース間電圧Vgsが図10(B)に示すように立ち上がる。メインスイッチング用トランジスタTr1のゲートソース間電圧Vgsが図10(B)に示すように立ち上がると同時にメインスイッチング用トランジスタTr1がオンしてソースドレイン間抵抗SDrが図10(C)に示すように低下する。

【0081】時刻t2で図10(B)に示すゲートソース間電圧Vgsがオン電圧Vonに達すると図10(C)に示すようにメインスイッチング用トランジスタTr1のソースドレイン間抵抗SDrが最小になる。よって、基準電源124の基準電圧e21をオン電圧Von以上に設定しておくことによりメインスイッチング用トラン

ジスタTr1のオン状態を確実に検出できる。よって、常に一定の抵抗値で電流値を検出できるようになる。

【0082】本実施例によれば、メインスイッチング用トランジスタTr1が確実にオン状態であるときに、メインスイッチング用トランジスタTr1のオン抵抗を用いてメインスイッチング用トランジスタTr1に流れる電流を検出して過電流状態を検出できる。よって、電流センサ抵抗が不要となり、余分な電流消費を防止できる。

【0083】なお、本実施例の電源制御IC110は、メインスイッチング用トランジスタTr1のオン状態を検出するために基準電圧源124を用いたが、基準電圧源124に代えてメインスイッチング用トランジスタTr1のソースドレイン間電圧の分圧電圧を用いてもよい。

【0084】図11に本発明の一実施例の電源制御ICの第1変形例のブロック構成図を示す。同図中、図9と同一構成部分には同一符号を付し、その説明は省略する。

【0085】本変形例の電源制御IC130は、図9に示される電源制御IC110の基準電圧源124に代えて抵抗R5、R6を端子Tcbと端子Tvlとの間に直列に接続し、抵抗R5と抵抗R6との接続点を比較器121の反転入力端子に接続する。

【0086】本変形例によれば、外部電源端子Tvgに接続された端子Tcbの電圧を抵抗R5、R6で分圧して用いることにより、外部電源端子Tvgに印加される電圧VGを可変することにより、オン状態を検出電圧を可変することができる。

【0087】図12に本発明の一実施例の電源制御ICの第2変形例のブロック構成図を示す。同図中、図9と同一構成部分には同一符号を付し、その説明は省略する。

【0088】本変形例の電源制御IC140は、比較器121の非反転入力端子をエラーアンプ13の出力に接続した構成とされている。

【0089】本変形例によれば、出力電圧Voutの誤差、すなわち、エラーアンプ13の出力が基準電源124の基準電圧e31より大きいときに過電流状態であると、判定する。

【0090】図13に本発明の一実施例の電源制御ICの第2変形例の動作説明図を示す。図13(A)はエラーアンプ13の出力と三角波発振器14の出力三角波、図13(B)は、メインスイッチング用トランジスタTr1のゲートソース間電圧Vgs、図13(C)にメインスイッチング用トランジスタTr1のソースドレイン間抵抗SDrの状態を示す。

【0091】図13(A)に示すようにエラーアンプ13の出力があまりに低いと、図13(B)に示すようにメインスイッチング用トランジスタTr1のゲートソ

ース間電圧VGSがオン電圧となる時間が非常に短くなり、図13(C)に示すようにメインスイッチング用トランジスタTr1のソースドレイン間抵抗SDRが最小となる時間が確保できず、メインスイッチング用トランジスタTr1を流れる電流による電圧降下を正しく測定できない。

【0092】よって、エラーアンプ13の出力を基準電源124の基準電圧e31と比較し、基準電圧e31以上あれば、メインスイッチング用トランジスタTr1のオン時間が十分に確保できると判断できる。ことを示しているので、正しくFET1を流れる電流による電圧降下を測定できることになる。

【0093】また、電源制御IC110、130、140は、電流制御を行なう場合について説明したが、過電流制御を行なうようにしてもよい。

【0094】図14に本発明の一実施例の電源制御ICの第3変形例のブロック構成図を示す。同図中、図9と同一構成部分には同一符号を付し、その説明は省略する。

【0095】本変形例の電源制御IC150は、図9に示す電源制御IC110において、フリップフロップ24にリセットをかけない構成としている。

【0096】図15に本発明の一実施例の電源制御ICの第4変形例のブロック構成図を示す。同図中、図11と同一構成部分には同一符号を付し、その説明は省略する。

【0097】本変形例の電源制御IC160は、図11に示す電源制御IC130において、フリップフロップ24にリセットかけない構成としている。

【0098】電源制御IC110、130、140、150では、メインスイッチング用トランジスタTr1のゲートソース間電圧からメインスイッチング用トランジスタTr1のオン状態を検出したが、出力電圧Vinからオン状態を検出するようにしてもよい。

【0099】図16に本発明の一実施例の電源制御ICの第5変形例のブロック構成図を示す。同図中、図12と同一構成部分には同一符号を付し、その説明は省略する。

【0100】本変形例の電源制御IC170は、図12に示す電源制御IC140において、フリップフロップ24にリセットかけない構成としている。

【0101】以上説明したように、本実施例によれば、DC-DCコンバータの出力電流を電流センス抵抗を用いずにメインスイッチング用トランジスタTr1のオン抵抗を利用して測定できるようになる。このとき、本実施例によれば、メインスイッチング用トランジスタTr1のソースゲート間電圧VGSを監視し、この電圧が一定値以上であるときに、メインスイッチング用トランジスタTr1のソースとドレイン間電圧を測定することで、メインスイッチング用トランジスタTr1に流れる

電流を測定することにより、メインスイッチング用トランジスタTr1が確実にオン状態でメインスイッチング用トランジスタTr1のソースとドレイン間電圧を測定することができ、誤検出防止できる。

【0102】なお、本発明は上記の実施例に限定されるものではなく、本発明の請求の範囲から逸脱することなく、各種の変形例が考えられるものである。

【0103】

【発明の効果】上述の如く、本発明によれば、スイッチング素子のオン抵抗を用いて出力電流を検出できるので、電流センス抵抗が不要となり、電流センス抵抗による電力消費をなくすることができるため、省電力化、コスト低下を実現できる等の特長を有する。

【0104】また、本発明によれば、所定の電圧を外部からの電圧に基づいて設定可能とすることにより、外部電圧を可変することによりオン状態を検出するための電圧を適正な値に設定でき、スイッチング素子が確実にオンしたことを検出できる等の特長を有する。

【図面の簡単な説明】

【図1】電子機器の電源系のブロック構成図である。

【図2】従来のDC-DCコンバータの一例のブロック構成図である。

【図3】図3に従来のDC-DCコンバータの一例の電源制御ICのブロック構成図である。

【図4】従来の電源制御ICの一例の電圧制御時の動作波形図である。

【図5】従来の電源制御ICの一例の電流制御時の動作波形図である。

【図6】従来の電源制御ICの他の一例のブロック構成図である。

【図7】従来の電源制御ICの他の一例の構成図である。

【図8】本発明の一実施例のDC-DCコンバータのブロック構成図である。

【図9】本発明の一実施例の電源制御ICのブロック構成図である。

【図10】本発明の一実施例の電源制御ICの動作説明図である。

【図11】本発明の一実施例の電源制御ICの第1変形例のブロック構成図である。

【図12】本発明の一実施例の電源制御ICの第2変形例のブロック構成図である。

【図13】本発明の一実施例の電源制御ICの第2変形例の動作説明図である。

【図14】本発明の一実施例の電源制御ICの第3変形例のブロック構成図である。

【図15】本発明の一実施例の電源制御ICの第4変形例のブロック構成図である。

【図16】本発明の一実施例の電源制御ICの第5変形例のブロック構成図である。

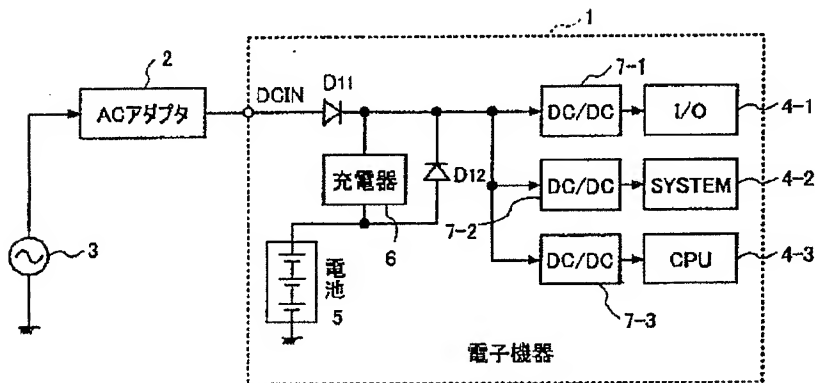
【符号の説明】

1 電子機器
 13 エラーアンプ
 14 三角波発振器
 15 PWM比較器
 16、17 ドライブアンプ
 19、124 基準電圧源
 24 フリップフロップ

25 ORゲート
 26、123 ANDゲート
 100 DC-DCコンバータ
 110、130、140、150、160 電源制御IC
 121、122 比較器
 125 定電流源

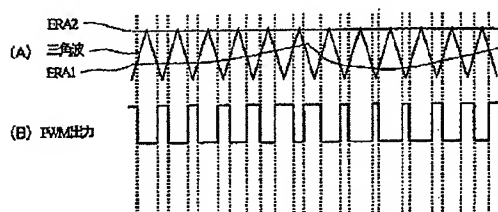
【図1】

電子機器の電源系のブロック構成図



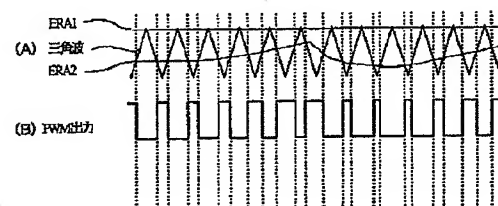
【図4】

従来の電源制御ICの一例の電圧制御時の動作波形図



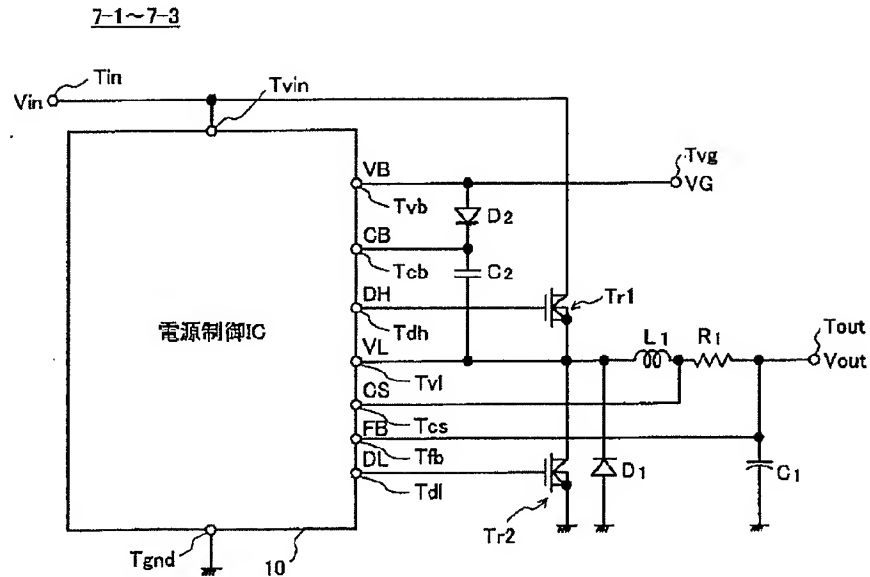
【図5】

従来の電源制御ICの一例の電流制御時の動作波形図



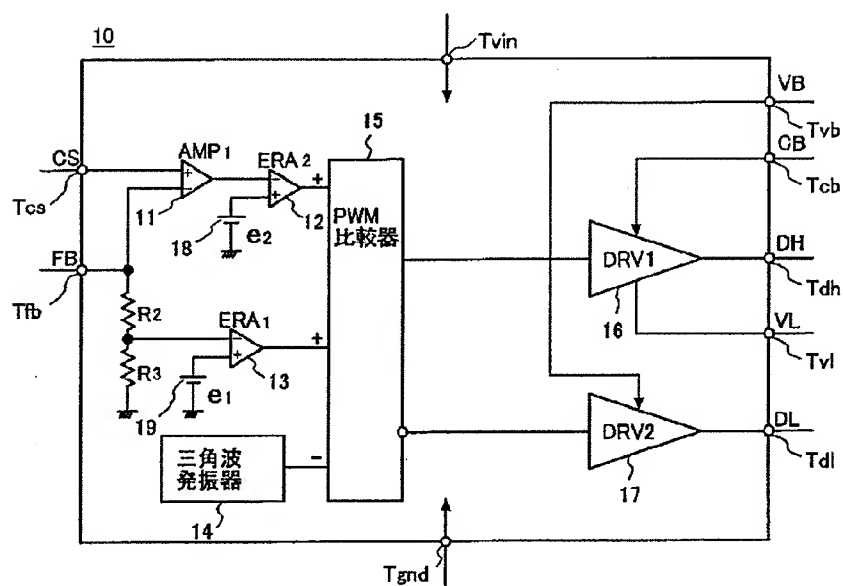
【図2】

従来のDC-DCコンバータの一例のブロック構成図



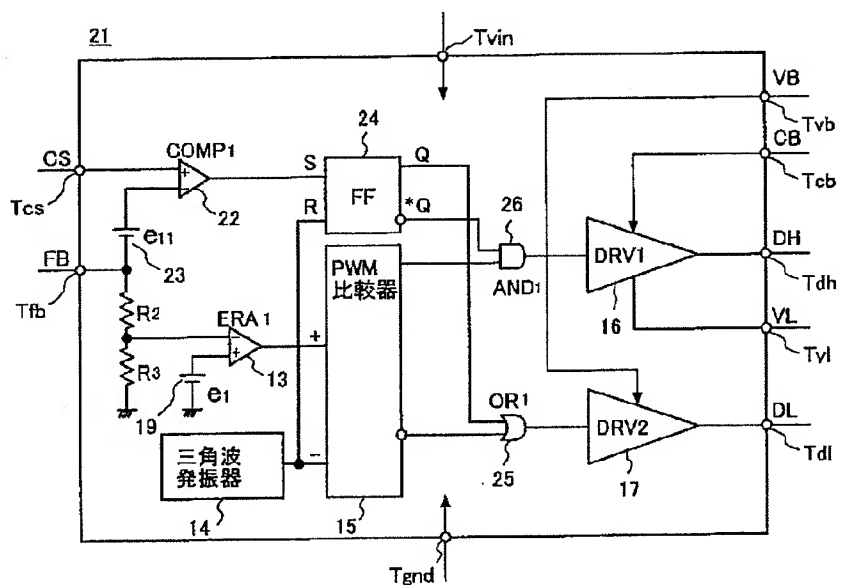
【図3】

従来のDC-DCコンバータの一例の電源制御ICのブロック構成図



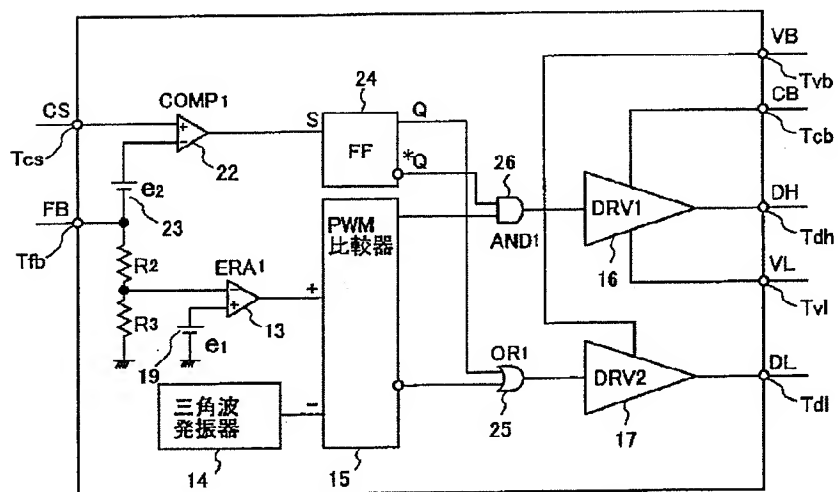
【図 6】

従来の電源制御 IC の他の一例のブロック構成図

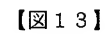


【図 7】

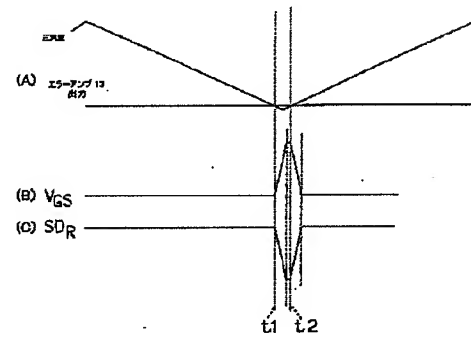
従来の電源制御 IC の他の一例の構成図



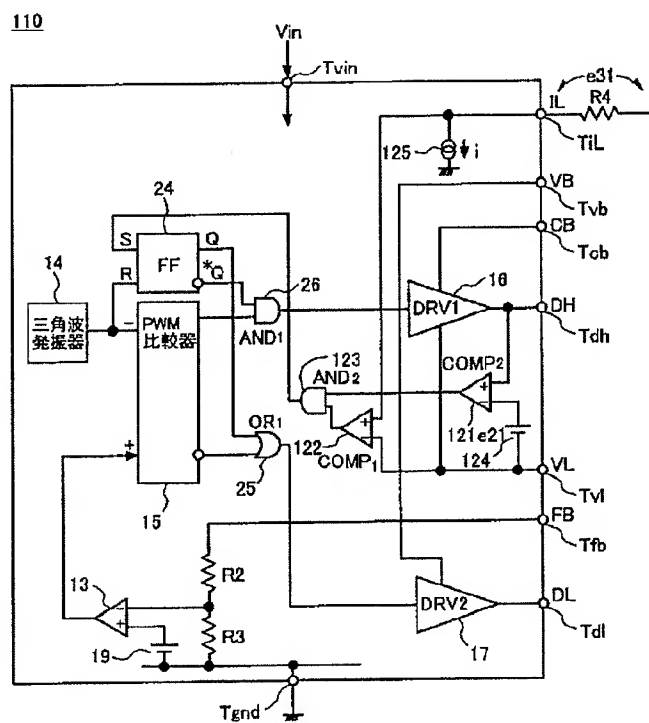
本発明の一実施例のＤＣ-ＤＣコンバータのブロック構成図



本発明の一実施例の電源制御１Ｃの
第２変形例の動作説明図



本発明の一実施例の電源制御ＩＣのブロック構成図



本発明の一実施例の電源制御 IC の
第 1 変形例のブロック構成図

本発明の一実施例の電源制御ＩＣの
第２変形例のブロック構成図



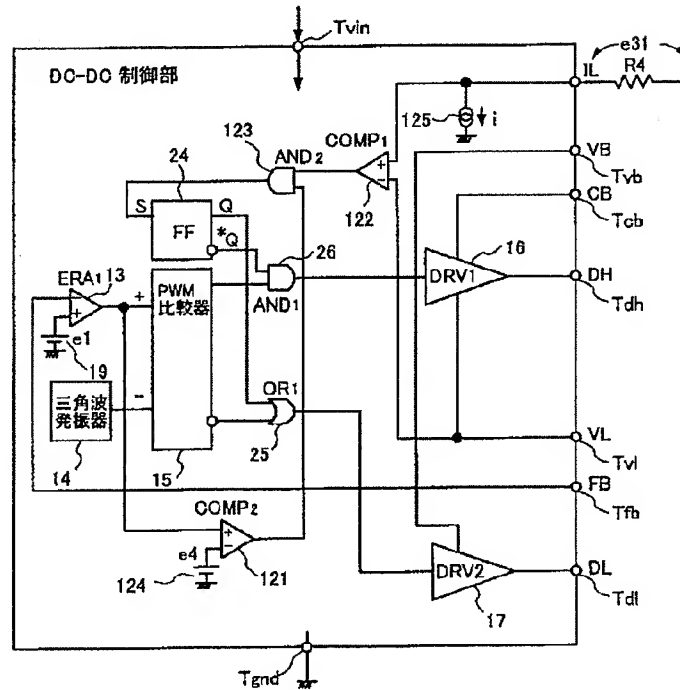
本発明の一実施例の電源制御ＩＣの
第３変形例のブロック構成図

本発明の一実施例の電源制御ＩＣの
第４変形例のブロック構成図

【図16】

本発明の一実施例の電源制御ICの
第5変形例のブロック構成図

170



フロントページの続き

(72)発明者 小澤 秀清
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72)発明者 板倉 和彦
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 滝本 久市
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴィエルエスアイ株式会社内
Fターム(参考) 5H730 AA14 AA15 AA20 AS19 BB13
BB14 DD04 DD12 DD26 FD26
FG05

